

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-128621

⑮ Int.Cl.⁴

H 03 L 7/08

識別記号

庁内整理番号

E-8731-5J

⑭ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 チャージポンプ回路

⑰ 特 願 昭62-286619

⑱ 出 願 昭62(1987)11月13日

⑲ 発 明 者 西 森 英 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 大 津 勝 吉 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 伊東 忠彦

明 細 書

1. 発明の名称

チャージポンプ回路

2. 特許請求の範囲

入力パルスによってコンデンサ(C)を充電及び放電させ、入力パルス幅を電圧に変換して該コンデンサ(C)の端子(2)より取出すチャージポンプ回路において、

電源端子間に上記コンデンサ(C)と直列接続された電流吐出し定電流源(Tr_1)と、該電流吐出し定電流源(Tr_1)の定電流(I)と等しい定電流(I)に設定されていて上記コンデンサ(C)の両端子間に並列接続された2系統の電流吸込み定電流源(Tr_4)(Tr_5)とを設け、

更に、充電を必要とする時共にオフとされて上記電流吐出し定電流源(Tr_1)の定電流(I)を上記コンデンサ(C)に流して充電させ、放電を必要とする時共にオンとされて上記電流吐出し

定電流源(Tr_1)及び上記2系統の電流吸込み定電流源(Tr_4)(Tr_5)の定電流(I)を以て上記コンデンサ(C)を放電させる、上記2系統の電流吸込み定電流源(Tr_4)(Tr_5)に対応して設けられた2系統のスイッチ(Tr_2)(Tr_3)を設けてなることを特徴とするチャージポンプ回路。

3. 発明の詳細な説明

(概要)

入力パルス幅に応じた大きさの電圧を得るチャージポンプ回路に関し、

高速動作が可能になることを目的とし、

電源端子間にコンデンサと直列接続された電流吐出し定電流源と、電流吐出し定電流源の定電流と等しい定電流に設定されていてコンデンサの両端子間に並列接続された2系統の電流吸込み定電流源とを設け、更に、充電を必要とする時共にオフとされて電流吐出し定電流源の定電流をコンデ

関与しない。 8_1 、 8_2 はアップパルスによって動作するNチャンネルMOSFETで、トランジスタ T_{r2} 及び定電流源 $6a$ に接続されている。 9_1 、 9_2 はダウンパルスによって動作するNチャンネルMOSFETで、トランジスタ T_{r1} 及び定電流源 $6a$ に接続されている。その他の構成は前記実施例と同様である。

次に動作について説明する。アップ時、アップパルスによってFET 8_1 がオン、FET 8_2 がオフとされ、トランジスタ T_{r2} がオフされる。これと同時に、ダウンパルスによってFET 9_1 がオン、FET 9_2 がオフとされ、トランジスタ T_{r1} がオフされる。トランジスタ T_{r2} 、 T_{r1} のオフにより、トランジスタ T_{r1} により定電流が流れてコンデンサCが充電される。

一方、アップ及びダウンのいずれでもない時、前記実施例と同様にしてトランジスタ T_{r2} をオン、トランジスタ T_{r1} をオフとし、オープン状態とする。

一方、ダウン時、アップパルス(アップ時と逆

極性)によってFET 8_1 がオフ、FET 8_2 がオンされ、トランジスタ T_{r2} がオンされる。これと同時に、ダウンパルス(アップ時と逆極性)によってFET 9_1 がオフ、FET 9_2 がオンされ、トランジスタ T_{r1} がオンされる。トランジスタ T_{r2} 、 T_{r1} には夫々定電流源 $6a$ による定電流 I_2 、 I_1 が流れ、コンデンサCが放電される。

このものは、アップパルス及びダウンパルスによるスイッチング素子としてNチャンネルMOSFET 8_1 、 9_1 を用いているので、このような回路構成でFET 8_1 、 9_1 の代りにNPNトランジスタを用いた場合に比してNPNトランジスタのような飽和による遅延を生じることはなく、高速回路に適用できる。また、FET 8_2 、 9_2 が設けられているので、FET 8_2 、 9_2 オン時にここに流れる電流をこれがない場合(I)に比して I/h_{FE} と小さくできる(ここに、 h_{FE} はトランジスタ T_{r2} 、 T_{r1} の電流増幅率である)。従って、FET 8_2 、 9_2 がない場合に比してFET

8_1 、 9_1 を小形にでき、又、スイッチング時の負荷となる浮遊容量を小さくでき、これにより、定電流源 $6a$ 側の動作が遮断されずに電圧振幅が小になるので、この点からも高速化を図り得る。

更に、定電流源 $6a$ のトランジスタ10のベースとトランジスタ11のエミッタとの間にNチャンネルMOSFET12(電源Vccを印加されることにより、常時オン)を設けたため、そのオン抵抗により、トランジスタ10のベースとトランジスタ11のエミッタとを直接接続した構成に比して、FET 8_2 、 9_2 のオン抵抗による定電流誤差を補償し得る。

(発明の効果)

以上説明した如く、本発明によれば、アップパルス及びダウンパルスで直接動作するトランジスタをNPNトランジスタで構成し得、PNPトランジスタによる定電流源をスイッチング動作させていた従来回路に比して高速動作が可能であり、高速PLL回路等に適用している。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明回路の一実施例の回路図、

第3図は本発明回路の他の実施例の回路図、

第4図は従来の回路図である。

図において、

2はダウンパルス発生器、

4は出力端子、

6、 $6a$ は定電流源、

7はアップパルス発生器、

8_1 、 8_2 、 9_1 、 9_2 、12はNチャンネルMOSFET、

10、11、 T_{r1} 、 T_{r2} はトランジスタを示す。

特許出願人 富士通株式会社

代理人 弁理士 伊東忠彦



よってスイッチ T_{r2} 、 T_{r3} はオンとされ、定電流源 T_{r4} 、 T_{r5} の夫々の定電流の和と定電流源 T_{r1} の定電流との差電流 I を以てコンデンサ C が放電され、出力電圧が下降する。この場合、定電流源 T_{r1} 、 T_{r4} 、 T_{r5} はアップパルス及びダウンパルスによるスイッチングには関与せず、スイッチングが行なわれるのはスイッチ T_{r2} 、 T_{r3} である。このような構成をとることにより、スイッチ T_{r2} 、 T_{r3} に一般に高速動作に適しているNPNトランジスタを用い得る。

(実施例)

第2図は本発明回路の一実施例の回路図を示す。同図中、6はカレントミラー回路構成の定電流源で、単に定電流 I を流すのみで、従来回路のようにスイッチング動作に関与しない。 T_{r1} はカレントミラーにより定電流源6に従って定電流 I_1 を流す電流吐出し定電流源として動作するトランジスタ、 T_{r4} 、 T_{r5} はカレントミラーにより定電流源6に従って夫々定電流 I_2 、 I_3 を流す

発生されるので、トランジスタ T_{r1} はオン、トランジスタ T_{r4} はオフされる。これにより、トランジスタ T_{r2} 、 T_{r3} はともにオフであるので、定電流源であるトランジスタ T_{r1} により定電流 I_1 （定電流 I_1 に同じ）が流れてコンデンサ C が充電される。このとき、トランジスタ T_{r4} のオンにより定電流 I_2 、トランジスタ T_{r5} のオンにより定電流 I_3 が夫々流れる。

次にアップ及びダウンのいずれでもない時、アップパルス発生器7からはLレベルのアップパルス、ダウンパルス発生器2からはHレベルのダウンパルスが夫々発生する。これにより、トランジスタ T_{r4} はオフ、トランジスタ T_{r2} はオン、トランジスタ T_{r3} はオン、トランジスタ T_{r1} はオフとされ、トランジスタ T_{r4} 、 T_{r2} 、 T_{r3} を介して定電流 I_1 、 I_2 が流れる。この場合、電流 $I_0 - I_1 - I_2 \rightarrow 0$ となり、オープン状態が実現する。

一方、ダウン時、アップパルス発生器7からLレベルのアップパルスが発生されると、トランジ

スタ T_{r4} はオン、トランジスタ T_{r2} はオンされる。この場合、 $I_1 \rightarrow I_2 \rightarrow I_3$ として動作する。 T_{r4} 、 T_{r2} はアップパルス発生器7からのアップパルスによってオン、オフ制御されるスイッチング用のトランジスタ、 T_{r3} 、 T_{r1} はダウンパルス発生器2からのダウンパルスによってオン、オフ制御されるスイッチング用のトランジスタである。

アップパルス、ダウンパルスによって直接動作する回路はスイッチ T_{r4} 、 T_{r2} 、 T_{r3} 、 T_{r1} であり、ともに応答速度が早く、かつ、誤差の少ないNPNトランジスタにて構成されている。PNPトランジスタを用いられている定電流源6、トランジスタ T_{r1} はともにスイッチング動作に関与しない。

次に動作について説明する。まず、アップ時、アップパルス発生器7からHレベルのアップパルスが発生されると、トランジスタ T_{r4} はオン、トランジスタ T_{r2} はオフされる。一方、ダウンパルス発生器2からはHレベルのダウンパルスが

発生されるので、トランジスタ T_{r1} はオン、トランジスタ T_{r4} はオフされる。これにより、トランジスタ T_{r2} 、 T_{r3} はともにオフであるので、定電流源であるトランジスタ T_{r1} により定電流 I_1 （定電流 I_1 に同じ）が流れてコンデンサ C が充電される。このとき、トランジスタ T_{r4} のオンにより定電流 I_2 、トランジスタ T_{r5} のオンにより定電流 I_3 が夫々流れる。

次にアップ及びダウンのいずれでもない時、アップパルス発生器7からはLレベルのアップパルス、ダウンパルス発生器2からはHレベルのダウンパルスが夫々発生する。これにより、トランジスタ T_{r4} はオン、トランジスタ T_{r2} はオフされる。一方、ダウンパルス発生器2からはHレベルのダウンパルスが発生されると、トランジスタ T_{r4} はオン、トランジスタ T_{r2} はオフされる。この場合、電流 $I_0 - I_1 - I_2 \rightarrow 0$ となり、オープン状態が実現する。

一方、ダウン時、アップパルス発生器7からLレベルのアップパルスが発生されると、トランジスタ T_{r4} はオン、トランジスタ T_{r2} はオフされる。この場合、 $I_1 \rightarrow I_2 \rightarrow I_3$ として動作する。 T_{r4} 、 T_{r2} はアップパルス発生器7からのアップパルスによってオン、オフ制御されるスイッチング用のトランジスタ、 T_{r3} 、 T_{r1} はダウンパルス発生器2からのダウンパルスによってオン、オフ制御されるスイッチング用のトランジスタである。

ンサに流して充電させ、放電を必要とする時共にオンとされて電流吐出し定電流源及び2系統の電流吸込み定電流源の定電流を以てコンデンサを放電させる、2系統の電流吸込み定電流源に対応して設けられた2系統のスイッチを設けた構成とする。

(産業上の利用分野)

本発明は、入力パルス幅に応じた大きさの電圧を得るチャージポンプ回路に関する。

チャージポンプ回路は、アップパルスにて平滑用コンデンサを充電し、ダウパルスにて平滑用コンデンサを放電してパルス入力に応じた大きさの電圧を得るもので、例えば、PLL(フェーズ・ロックド・ループ)回路の位相比較回路の出力と電圧制御発振器(VCO)との間に設けられ、位相比較誤差出力を電圧に変換する。

(従来の技術)

第4図は従来のチャージポンプ回路の一例の回

定電流源3がオフされる。

一方、アップ及びダウンのいずれでもない期間(オープン期間)、トランジスタ Q_2 、 Q_3 を共にオフにし、コンデンサCの充電及び放電が行なわれないようにする。

この場合、アップパルス及びダウパルスの各パルス幅がコンデンサC、抵抗の時定数より十分小さい場合、アップパルス及びダウパルスの各パルス幅に比例して出力電圧が変化する。

(発明が解決しようとする問題点)

上記従来回路は、定電流源3において、一般に応答速度が遅く(アップ信号が有効となるまで100nsec程度必要)、かつ、誤差を生じ易い(一般にPNPトランジスタの電流増幅率は制御性が悪い)PNPトランジスタをスイッチングして用いているため、高速のPLL回路には実用的でない問題点があった。

本発明は、高速動作が可能なチャージポンプ回路を提供することを目的とする。

路図を示す。アップ時、アップパルス発生器1からのLレベルのアップパルスにてトランジスタ Q_1 がオフ、トランジスタ Q_2 がオンされ、一方、ダウパルス発生器2からのHレベルのダウパルスにてトランジスタ Q_4 がオン、トランジスタ Q_3 がオフされる。トランジスタ Q_2 のオンによってPNPトランジスタで構成される電流吐出し定電流源3がオンされ、平滑用コンデンサCは定電流源3の定電流 I_1 で充電されて出力端子4より次第に上昇する出力電圧が取出される。

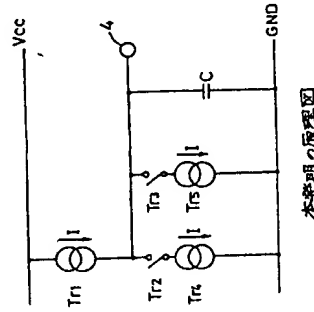
一方、ダウン時、アップパルス発生器1からのHレベルのアップパルスにてトランジスタ Q_1 がオン、トランジスタ Q_2 がオフされ、一方、ダウパルス発生器2からのLレベルのダウパルスにてトランジスタ Q_4 がオフ、トランジスタ Q_3 がオンされる。トランジスタ Q_3 のオンにより、コンデンサCはトランジスタ Q_3 を介して電流吸込み定電流源5の定電流 I_2 を以て放電され、出力端子4より次第に下降する出力電圧が取出される。このとき、トランジスタ Q_2 のオフにより、

(問題点を解決するための手段)

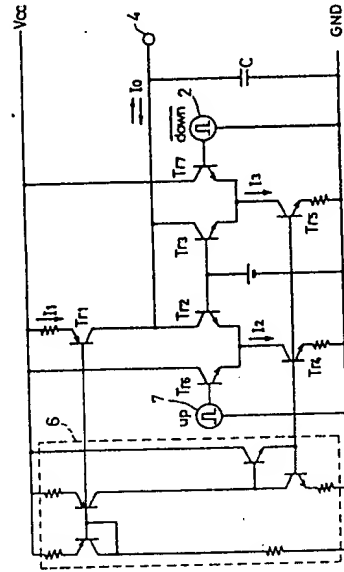
第1図は本発明回路の原理図を示す。同図中、 T_{r1} は電流吐出し定電流源(トランジスタ)でコンデンサCと電源端子間に直列に接続されている。 T_{r4} 、 T_{r3} は電流吐出し定電流源 T_{r1} の定電流と等しい定電流に設定された2系統の電流吸込み定電流源(トランジスタ)であり、コンデンサCに並列接続されている。 T_{r2} 、 T_{r3} は、充電を必要とする時共にオフとされて電流吐出し定電流源 T_{r1} の定電流をコンデンサCに流して充電させ、放電を必要とする時共にオンとされて上記2系統の電流吸込み定電流源 T_{r4} 、 T_{r3} の定電流を以てコンデンサCを放電させる2系統のスイッチ(トランジスタ)である。

(作用)

アップ時、アップパルスによってスイッチ T_{r2} 、 T_{r3} はオフされ、定電流源 T_{r1} の定電流 I_1 によってコンデンサCが充電され、出力電圧が上昇する。一方、ダウン時、ダウパルスに

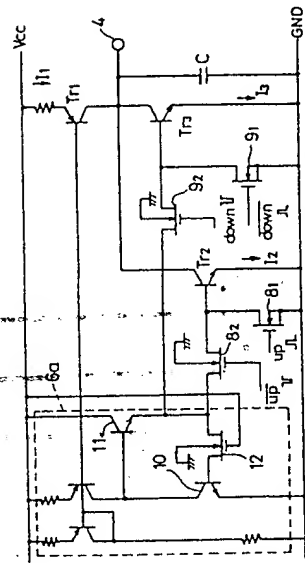


第 1 図



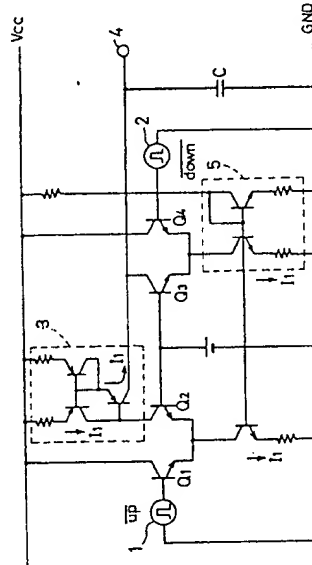
本発明回路の発光列の回路図

第 2 図



本発明回路の発光列の回路図

第 3 図



従来回路図

第 4 図